

PAT-NO: JP02001027987A

DOCUMENT-IDENTIFIER: JP 2001027987 A

TITLE: DIRECTIONAL COUPLING TYPE MEMORY
MODULE

PUBN-DATE: January 30, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
OSAKA, HIDEKI	N/A
KOMATSU, TOYOHIKO	N/A
TSUNEHIRO, TAKASHI	N/A
KIMURA, KOICHI	N/A
HATANO, SUSUMU	N/A
ITO, KAZUYA	N/A
KANNO, TOSHIO	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A

APPL-NO: JP2000126233

APPL-DATE: April 20, 2000

PRIORITY-DATA: 11130957 (May 12, 1999)

INT-CL (IPC): G06F013/16, G06F003/00 , G06F012/00 ,
G11C011/401 , H01P005/00
, H01P005/18

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce more the pitch between
memory modules

regardless of the length of a directional coupler and to improve the packing density by forming the directional coupler in every memory module.

SOLUTION: The directional couplers C2-C7 are wired in the memory modules 2-2 to 2-4 in the same direction to the system transmission direction set on a main line 1-1, so that every directional coupler can perform the transfer of data between an MC 1 and memory chips 1-2 to 1-7 by means of the backward crosstalk. In other words, the wiring of directional couplers C2, C4 and C6 contained in the memory modules 2-2 to 2-4 is set exactly opposite to the wiring of the directional couplers C3, C5 and C7 and the directions of these couplers are all set in the same backward direction to the signal transmission direction set on the line 1-1. Thus, the couplers C2-C7 are placed so as to cause the backward crosstalk. The front crosstalk is also available for all in this constitution.

COPYRIGHT: (C) 2001, JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-27987

(P2001-27987A)

(43)公開日 平成13年1月30日(2001.1.30)

(51)Int.Cl. ⁷	識別記号	F I	テマコト(参考)
G 06 F 13/16	5 1 0	G 06 F 13/16	5 1 0 A
3/00		3/00	T
12/00	5 6 4	12/00	5 6 4 A
G 11 C 11/401		H 01 P 5/00	A
H 01 P 5/00		5/18	J

審査請求 未請求 請求項の数10 O L (全 16 頁) 最終頁に統く

(21)出願番号 特願2000-126233(P2000-126233)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(22)出願日 平成12年4月20日(2000.4.20)

(72)発明者 大坂 英樹

神奈川県川崎市麻生区王禅寺1099番地 株

式会社日立製作所システム開発研究所内

(31)優先権主張番号 特願平11-130957

(72)発明者 小松 豊彦

神奈川県川崎市麻生区王禅寺1099番地 株

式会社日立製作所システム開発研究所内

(32)優先日 平成11年5月12日(1999.5.12)

(74)代理人 100075096

弁理士 作田 康夫

(33)優先権主張国 日本 (JP)

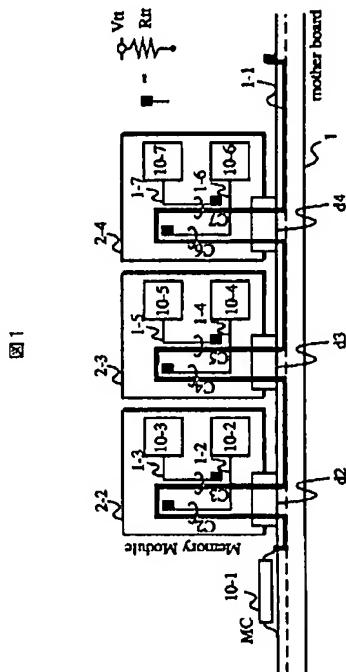
最終頁に統く

(54)【発明の名称】 方向性結合式メモリモジュール

(57)【要約】

【課題】方向結合器が占める配線長がバス接続されるモジュール間隔を決めており、これ以下にすることできなかった。そのため、メモリモジュール間の間隔が開いており高密度化できなかった。

【解決手段】メモリバスに於いてコントローラからの引出し配線メモリチップからの引出し配線とが形成する方向性結合器をメモリモジュールに内蔵することでモジュール間のピッチを狭くでき高密度実装が可能となる。



【特許請求の範囲】

【請求項1】N R Z (Non-Return to Zero) 信号をドライブしR T Z (Return To Zero) 信号を復調する機能を持つ1つのメモリコントローラと、複数のメモリモジュールに搭載されたN R Z信号をドライブしR T Z信号を復調する機能を持つメモリとの間のデータ転送を行うメモリバスを方向性結合器で構成し、

前記メモリコントローラからの終端されているメインラインの一部と前記メモリからの終端されている引出し配線の一部とが前記方向結合器を形成し、かつ、N R Z信号をR T Z信号に変換する機能を有する前記方向性結合器を前記メモリモジュール内に配置したことを特徴とするメモリモジュール。

【請求項2】前記メモリモジュール内に形成された前記メモリコントローラと前記メモリ間のデータ伝播を行うための方向性結合器は、前記メモリからの引出し配線が“T”字型に分岐し、分岐した配線の両端が終端され、かつ、前記分岐配線とメインラインとがそれぞれ方向性結合器を構成するT字型方向性結合器であることを特徴とする請求項1記載のメモリモジュール。

【請求項3】前記T字型方向性結合器を正の前方クロストーク係数を有するように形成することで、メモリコントローラ或いはメモリからのN R Z信号を前記T字型結合器により急峻な立上り立下がりを有するR T Z信号に変換することを特徴とする請求項2記載のメモリモジュール。

【請求項4】前記メモリモジュール内に分岐無しで配線されたメモリコントローラに接続されるメインライン用の信号端子が1信号当たり2端子あり、前記メインラインとメモリからの引出し配線が方向性結合器を形成することを特徴とする請求項1から3に記載のメモリモジュール。

【請求項5】前記メモリモジュールは、前記方向性結合器によりN R Z信号からR T Z信号へ変換された信号を、再びN R Z信号に復調する機能を有するトランシーバを有し、前記方向性結合器とトランシーバを介してメモリコントローラとN R Z信号の入出力回路を持つメモリとのデータ転送を行う機能を有することを特徴とする請求項1から4に記載のメモリモジュール。

【請求項6】メモリコントローラとメモリとの間のデータ転送を行なうメモリバスを方向性結合器で構成したメモリモジュールにおいて、

前記方向性結合器を前記メモリモジュール内に配置し、メモリコントローラから引き出されたクロック信号用配線を折り返して再び前記メモリコントローラに接続し、前記メモリコントローラからスイッチを介して引き出されたデータ信号用配線を折り返して再び前記スイッチに接続し、

前記クロック信号と前記データの信号伝搬遅延時間が同じになるように配線が配置され、

前記データ信号に接続された前記スイッチをリード動作とライト動作で切り換え、更にメモリから引き出されたクロック及びデータ用の配線と前記メモリコントローラからのクロック及びデータ用配線とがそれぞれT字型結合器を構成し、

ライト動作では、

前記メモリコントローラからはクロック信号に同期してライトデータを送出し、クロック信号とデータ信号のそれぞれの伝搬方向が同じ向きになるようにデータ転送に

10 先立って前記スイッチを切り換え、前記メモリは送信された前記クロック信号により同位相で到達したライトデータをラッチし、

リード動作では、

前記メモリからは受信された前記クロック信号に同期してリードデータを送出し、クロック信号の伝搬方向と同じ向きであって、前記ライト動作とは反対になるようデータ信号の伝搬の向きをデータ転送に先立って前記スイッチを切り換え、前記メモリコントローラに戻ってきた前記クロック信号を用いて前記メモリからの前記リードデータをラッチすることを特徴とするメモリモジュールシステム。

【請求項7】前記メモリコントローラからそれぞれ引き出されたクロック信号とデータ信号の配線を折り返して再び前記メモリコントローラに接続し、前記メモリコントローラのデータ信号の伝搬の向きとクロック信号伝搬の向きとで、それぞれの信号伝搬遅延時間が同じになるように配線が配置され、

前記メモリコントローラからはクロック信号に同期してライトデータを送出し、前記メモリからは送信された前記クロック信号によりライトデータをラッチし、

30 前記メモリからは受信された前記クロック信号に同期してリードデータを送出し、前記メモリコントローラに戻ってきた前記クロック信号を用いて前記メモリからの前記リードデータをラッチすることを特徴とする請求項6記載のメモリモジュールシステム。

【請求項8】前記メモリコントローラから引き出されたデータ信号とデータストローブ信号用の配線と、メモリから引き出された前記データ信号と前記データストローブ信号の配線とでT字型結合器を構成し、

40 前記メモリコントローラからの前記データストローブ信号に同期してライトデータを送出し、前記メモリコントローラに戻ってきた前記データストローブ信号を用いてメモリからのリードデータをラッチすることを特徴とする請求項6及び7に記載のメモリモジュールシステム。

【請求項9】請求項1のメモリにおいて、リードデータ信号としてN T Z信号を送信し、ライトデータ信号としてR T Z信号を受信する第1のインタフェースを設け、アドレス・制御信号用にN R Zの信号を受信する第2のインタフェースを設けたことを特徴とするメモリ素子。

50 【請求項10】請求項6、請求項7、請求項8、及び請

求項9において、メモリコントローラからライトコマンド信号と同一サイクルで送信され、かつ前記方向性結合器によりRTZ信号に変換されたライトデータ信号を、前記方向性結合器によりRTZ信号に変換されたデータストローブ信号により、取り込むことを特徴とするメモリ素子。

【請求項11】請求項6、請求項7、及び請求項8のメモリモジュールシステムにおいて、メモリを搭載しておらず、かつ、メインラインが途切れないようにメモリコントローラからの信号用の2端子間を一定のインピーダンスで接続する配線がなされているダミーモジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は情報処理装置においてマルチプロセッサやメモリ等の素子間（例えばCMOS等により構成されたデジタル回路間又はその機能ブロック間）での信号伝送のための技術に関し、特に、複数の素子が同一の伝送線に接続されデータ転送を行うバス伝送の高速化技術に関する。特に、信号伝達に必要な信号生成器（方向性結合器）を内蔵するメモリモジュールに関する。

【0002】

【従来の技術】多数のノードが接続され高速にデータを転送するためのバス方式として特開平7-141079の非接触バス配線があった。従来技術の基本方式を図3に示す。従来技術では2ノード間のデータ転送をクロストークすなわち方向性結合器を用いて行っていた。すなわち、バスマスター10-1とスレーブ10-2～10-8との間の転送を2線間すなわち配線1-1と1-2～1-8との間のクロストークを用いて転送する技術である。従来技術はバスマスター10-1とスレーブ10-2～10-8との間の転送、すなわちメモリとメモリコントローラ間のデータ転送に適している。

【0003】

【発明が解決しようとする課題】しかし、従来技術の特開平7-141079では方向結合器が占める配線長がモジュール間隔を決めていた。そのため、モジュールの間隔を短縮するには方向性結合器の配線長を短くする必要があるが、配線長の短縮は伝送の効率すなわち結合度を下げる原因となるので、ある一定の間隔以下にすることができなかった。そのため、メモリモジュール間の間隔を狭くすることでメモリの高密度実装を行うことが第*

$$r = 2.6 \times 10^{-6} \sqrt{f}$$

であり、1GHzでは、

【0011】

$$r = 82 [\text{m}\Omega/\text{mm}]$$

となり、DCの抵抗値6 [mΩ/mm] と比べると、抵抗は遷移時間では13倍に増加している。ここで、記号 \wedge はべき乗を表わす。

【0012】すなわち、遷移時間のみ高抵抗となるので★50 によって、遷移時（立上り・立下がり）のパルス波形を

* 1の課題である。

【0004】第2の課題として、方向性結合器を用いたRTZ(Return To Zero)方式の信号伝送に対して数個のチップしか接続できない。即ち、方向性結合器で生成される信号レベルが小さいため、多数のチップを接続できないという課題がある。具体的には、多数のチップを搭載するとチップの持つ入力静電容量が多くなってRTZ信号レベルが低下してしまうため、更に、配線のための分岐が生じ反射歪みが大きくなるため、上記の問題が生じる。このように、方向性結合器を用いたバスでは多バンク構成などの大容量メモリモジュールを構成できないという課題がある。

【0005】また、第3の課題として、高速データ伝送において伝送速度が増すにつれて表皮効果など周波数依存性のある効果により波形が鈍るという課題がある。これはパルス波形の立上り、立下がりの肩の部分が鈍るという現象で、この影響は、パルス波形をレシーバにて取り込む際にスキーの増大となって現れる。すなわち、レシーバに入力されるパルス波形の肩が鈍っているために、レシーバの基準電圧(Vref)を超え、または下回る時間が増大し、結果としてレシーバの取り込み時間が増大してスキーの増大の原因となる。

【0006】表皮効果がパルスの肩を鈍らせる理由として以下のように説明できる。

【0007】高速パルスはその遷移（立上り・立ち下がり）時間の逆数に応じて高周波成分を持つ。例えば、遷移時間Trを持つパルスが持つ帯域(f knee)は次式で表される。

【0008】

30 【数1】 $f_{\text{knee}} = 0.35/Tr$ (数1)
このため、1Gbpsのパルスを伝送する場合、その30%が遷移時間とすると $f_{\text{knee}} = 0.35 / (0.3 [\text{ns}]) \sim 1 \text{GHz}$ である。この時の表皮効果による抵抗増加分を計算してみる。

【0009】20 [°C]における銅の体積抵抗率ρは $1.72 \times 10^{-8} [\Omega \cdot \text{mm}]$ であり、標準的に用いられている基板の配線（配線幅0.1 [mm]、配線厚み0.030 [mm]）の場合ではDCの抵抗値 $5.7 [\text{m}\Omega/\text{mm}]$ となる。又、表皮効果による単位長さ当たりの抵抗は、

40 【0010】

【数2】

$$[\Omega/\text{mm}] \quad (\text{数2})$$

※【数3】

※ (数3)

★これにより波形が鈍ることになる。これは高周波数ほど抵抗成分が大きくなり立上り・立ち下がり時に影響が大きいためである。これを克服する技術として、ドライバによって、遷移時（立上り・立下がり）のパルス波形を

急峻にする手法がある。例えば "Limits of Electrical Signaling (Transmitter Equalization)" ; IEEE HOT interconnect V (1997, 9/21-23), pp48にドライバ(transmitter)のDAC(Digital Analog Converter)を用いた等化器の方式が記載されている。この等化器では、ドライバによって、鈍り量に応じて逆に急峻に遷移波形を変化させている。この技術を用いた場合では、ドライバ制御が複雑になり、LSIに多数の素子を搭載することが難しかった。

【0013】第4の課題として、複数のメモリモジュールはメモリコントローラからみてそれぞれの実装位置が近いか遠いかに応じて信号伝搬遅延時間差があった。その結果、リードデータとライトデータに時間差が生じる。チップの配置場所によってデータの到達時間が異なることを補正するには、システム設計に非常な困難さをもたらすため、この時間差を無くすことが課題である。

【0014】

【課題を解決するための手段】第1の課題を解決するための手段として、メモリコントローラからの配線(メインライン)をメモリモジュール内に取り込み、このメモリモジュール内のメインラインに対して方向結合器を形成する。すなわち、マザーボードから方向性結合器をモジュール内に移すことで、方向性結合器の長さに制限されずにモジュール間のピッチをより短くでき高密度実装が可能となる。

【0015】第2の課題を解決するための手段として、RTZ信号とNRZ(Non Return Zero)信号を変換する変換回路(トランシーバ)をメモリモジュール上に設けて、メモリモジュールが搭載されるマザーボード上には従来技術の方向性結合器を構成し、配線長が長いメモリコントローラとメモリモジュールとの間のデータの転送は方向性結合器を用いて行い、メモリモジュールに配置されたトランシーバによりRTZ信号をNRZ信号に復調し、配線長の短いメモリモジュール内ではNRZ信号を用いてデータ転送することで、方向性結合器を用いたバスにおいても多数のチップを接続でき、多バンク構成などの大容量メモリモジュールを構成できる。

【0016】第3の課題を解決するための手段として、前方クロストークを生成できる方向性結合器をT字型に構成して後方クロストーク成分と前方クロストーク成分をNRZ信号の遷移時間に重畳することにより、波形を急峻にできるので表皮効果などの波形鈍りが補正される。その結果、ドライバに特別な制御を施す必要がなく、LSIの構成が単純になる。

【0017】第4の課題を解決するための手段として、メモリコントローラからそれぞれ異なる位置に配置されている複数のメモリチップが同一の信号に方向性結合器により接続されている配線を折り返し、リードサイクルとライトサイクルとで折り返された配線の2つの終端部との接続を切り換えることで、場所による遅延差を無く

すことができ、設計が容易になる。また、これを可能にするために、上記の第3の課題を解決するための手段のように、T字型に方向性結合器を接続し、両方向に信号が生成される特性を利用している。

【0018】

【発明の実施の形態】第1の実施例を図1を用いて説明する。

【0019】メモリコントローラ(以下MC: Memory Controller)10-1はメモリコントローラ制御機構を有するLSIチップであり、メモリモジュール2-2～2-4にはメモリチップ10-2～10-7が搭載されている。図1はマザーボード1と呼ばれるプリント配線板(Printed Circuit Board)の断面であり、マザーボード1にはMC10-1とメモリモジュール2-2～2-4が実装されている。そして、MC10-1とメモリモジュール2-2～2-4内のメモリチップ10-2～10-7との間でデータ転送を可能とする配線を有している。また、メモリモジュール2-2～2-4はコネクタd2～d4を介してマザーボードに接続されている。

10 【0020】MC10-1はメモリチップ10-2～10-7に対するデータの読み書き(リード・ライト)の動作を行う。この読み書きのためのデータ転送用配線1-1～1-7の中で特にMC10-1に接続される配線1-1をメインライン(mainline)と呼ぶ。

20 【0021】配線1-1～1-7は、それぞれ一方の端をMC10-1ならびにメモリチップ10-2～10-7に接続され、他方の端は終端抵抗Rttを介して終端電圧Vttに接続されている。この終端電圧Vttに接続されている終端抵抗Rttを黒い四角(■)で表した。この終端抵抗はそれぞれ配線1-1～1-7の持つ配線特性インピーダンスとほとんど同じ値の抵抗値を持つ。このため、配線1-1～1-7からの信号はこの終端部で吸収され反射が生じないよう動作する。

30 【0022】MC10-1とメモリチップ10-2～10-7間のデータ転送は反転した"C"字で表された方向性結合器C2～C7で行われる。この方向性結合器は特開平7-141079記載のものと等価である。この従来技術では、2ノード間のデータ転送を2並行配線間の結合であるクロストーク(方向性結合器)を用いて行っている。このため、MC(バスマスター)10-1とメモリチップ(バススレーブ)10-2～10-7との間の転送を2線間すなわち、メインライン1-1と配線1-2～1-7との間のクロストークを用いて転送する。このクロストーク信号はドライブパルスのエッジに対して生成され、ある時間後、終端電圧に戻る。この為、ドライブ信号が矩形波であるNRZ信号であれば方向性結合器により生成される信号はRTZ信号とみなされ、方向性結合器はNRZ信号からRTZ信号への変換器として動作する。

40 【0023】モジュール2-2～2-4内に於いて、方

向性結合器C 2～C 7はそれぞれがメインライン1-1の信号伝搬の方向に対して同じ向きになるように配線されており、MC 1とメモリチップ1-2～1-7との間のデータ転送が何れの結合器に於いても後方クロストークを用いて行われるよう配線されている。すなわち、モジュール2-2～2-4内の結合器C 2, C 4, C 6と、結合器C 3, C 5, C 7とでは配線が反対方向であるがメインライン1-1上の信号伝搬方向に対する方向は同じ後方となっており、結合器C 2～C 7では何れに於いても後方クロストークが生じるよう配置されている。当然これは全てが前方クロストークを用いるように構成しても良い。

【0024】モジュール2-2の基板内にはメインライン1-1とこれに結合する配線1-2、1-3があり、これらがそれぞれメモリチップ10-2、10-3に接続されている。同様にメモリモジュール2-3、2-4内にもメインライン1-1と結合する配線1-4、1-5と1-6、1-7が配線されている。メインライン1-1はそれぞれのモジュール2-2～2-4を接続するためのコネクタd 2～d 4を介してシリアル接続され終端されている。

【0025】メモリモジュール2-2～2-4において、メインライン1-1がコネクタd 2～d 4の信号ピンを介して折り返すように配線されており、コネクタd 2～d 4にはメインライン1-1用の信号ピンがそれぞれ1信号あたり2ピン(端子)有ることになる。また、メインライン1-1の持つ特性インピーダンスは、マザーボード1と各メモリモジュール2-2～2-4とで同じになるように構成されている。このため、マザーボード1とメモリモジュール2-2～2-4との間をシリアル配線されていてもインピーダンスの乱れによる反射歪みは小さい。

【0026】また、システムの構成によっては全てのメモリモジュールをコネクタに搭載する必要がない場合がある。例えば、出荷時には少ないメモリモジュールが搭載された後で、システム拡張のためにメモリ搭載容量を拡充する場合などがこれに当たる。

【0027】メインライン1-1は各モジュール2-2～2-4をシリアルに配線しているため、メモリモジュールが1枚でも無くなるとメインライン1-1は連続して接続されることになりデータ転送ができなくなる。これに対応するためには、メモリを搭載したモジュールの替わりにメモリを搭載していないダミーの基板をコネクタに挿入すればよい。このダミー基板は端子配置がメモリモジュール2-2～2-4と同じでかつ、メインライン1-1が分断されないように2つピン間をモジュール上の配線1-1と同じ特性インピーダンスを持つ配線で接続させる。これによりメインライン1-1の配線を途切れさせること無くMC 10-1から終端抵抗まで接続でき、どのモジュール位置に挿してもMC 10-1と

メモリチップとの間のデータ転送を行うことが出来る。【0028】また、メモリモジュールは図2のように構成されても良い。図2はメモリモジュール2-2がコネクタd 2に接続された状態での断面図である。メモリモジュール2-2の基板の表裏に搭載されたメモリチップ10-2、10-3はメインライン1-1と結合器C 2、C 3を構成する配線1-2、1-3に接続され、配線1-2、1-3の他方の端は終端されている。

【0029】多層基板で構成されたメモリモジュール2-2の一方の信号層で、配線されたメインライン1-1とメモリモジュール2-2が第1の結合器C 2を構成し、このメインライン1-1は結合器C 2を構成した後、VIAホールを介して折り返され、他方の信号層でメモリモジュール2-2内の第2の結合器C 3を構成するよう接続されている。これら2組の結合器C 2, C 3は互いがノイズ源とならないようにグランド・電源層で分離された層構成で配線されている。

【0030】従来技術の特開平7-141079に於いては、図3のようにマザーボード1に搭載されるメモリモジュール2-2～2-4の間隔(ピッチ)は方向性結合器が連続して配置しているためこの結合器の長さ以下には出来ないという課題があった。

【0031】図1のように結合器をメモリモジュール2-2内に設けたことで、マザーボード1に搭載されるメモリモジュール2-2～2-4の間隔(ピッチ)を結合器の長さと無関係にでき、システムにおける高密度実装が可能となる。

【0032】更に、マザーボード1の信号線用の層を低減することができ、マザーボードの低コスト化を図ることができる。

【0033】本実施例ではメモリモジュールの枚数はモジュール2-2～2-4の3枚であるが、それ以上でもそれ以下でも良く、これはシステムの要件により異なる。

【0034】第2の実施例を図4を用いて説明する。

【0035】本実施例は方向性結合器用のトランシーバを別部品としてメモリモジュール内に設けることで更にメモリモジュールの搭載容量を増加させるものである。

【0036】メモリコントローラ(以下MC: Memory Controller)10-1はメモリコントローラ制御機構を有するLSIチップであり、メモリモジュール2-2～2-9にはメモリチップ10-2～10-9が複数搭載されている。マザーボード1と呼ばれるプリント配線板(Printed Circuit Board)には、MC 10-1とメモリモジュール2-2～2-9が実装され、MC 10-1とメモリモジュール2-2～2-9内のメモリチップ10-2～10-9との間でデータを転送する配線を有している。マザーボード1には方向性結合器C 2～C 9が形成され、これはメインライン1-1と配線1-2～1-9から構成されている。メモリモジュール2-2～2-9

では、コネクタを介してマザーボード1からの配線1-2～1-9がそれぞれのトランシーバ3-2～3-9まで配線されている。

【0037】トランシーバ3-1～3-9はドライバ6-2とレシーバ5-1からなり、2種類のバッファ6-2（ドライバに含まれる）とバッファ5-1（レシーバに含まれる）の出力制御を行う方向制御機能を有する。図4では、バッファ6-2は三角形で示され、バッファ5-1は底辺が2本ある三角形で示されている。

【0038】方向性結合器C2～C9はドライブパルスに応じたクロストークを生成する。

【0039】バッファ6-2は通常のデジタル信号（矩形パルス）であるNRZ（Non Return to Zero）信号を入力し、これをNRZ信号で出力する。方向性結合器C2～C9によりNRZ信号からRTZ（Return To Zero）信号へ変換された信号を、バッファ5-1は元のデジタル信号であるNRZ信号へ復調する。すなわち、RTZ信号からNRZ信号へ変換する作用をする。

【0040】メモリモジュール2-1はメモリコントローラ10-1とトランシーバ3-1を有する。メモリモジュール2-2～2-9にはメモリチップがそれぞれ複数搭載されており、これらモジュール2-1～2-9はマザーボード1上にコネクタを介して配置されている。

【0041】メインライン1-1はトランシーバ3-1から配線され、方向性結合器を構成しており、他方の端を終端電圧Vttに整合終端されている。方向性結合器C2～C9では、メモリモジュール2-2～2-9内のトランシーバ3-2～3-9から引き出された配線がメインライン1-1と共に結合器を成している。これらの配線はメインライン1-1と同様に終端電圧Vttに整合終端されている。メインライン1-1は図1のようにモジュール内に折り返され平行結合器を構成しても良い。

【0042】メモリモジュール2-2～2-9内の配線20-2～20-9はそれぞれトランシーバ3-2～3-9と各メモリチップとを接続する配線である。図1の実施例では、方向性結合器で生成される信号レベルが小さいので多数のチップを接続できないため、方向性結合器1つに対して1つのチップしか接続していない。即ち、図1の実施例では、多数のチップを搭載するとチップの持つ入力静電容量が多くなってRTZ信号レベルが低下してしまい、更に、配線のための分岐が生じて反射歪みが大きくなるため、上記の問題が生じる。これに対して、本実施例では、トランシーバ3-2～3-9を介して多数のメモリチップが接続されていても、配線20-2～20-9は信号振幅の大きなNRZ信号に復調されており、各メモリチップを高速にドライブできる。このように、本実施例では、1信号当たりの接続メモリチップ個数を増大させる多バンク構成が可能である。

【0043】MC10-1はメモリのリード、ライトの

状態に応じて、信号伝達方向を制御するリードライト（R/W）信号をトランシーバ3-1～3-9へ送出する。このリードライト信号を、メモリチップに対するリード・ライト信号と兼用しても良い。図4でリード・ライト信号R/Wは全てのチップに接続されているが、MC10-1ドライバのファンアウトとR/W信号の動作周波数を考慮して、ファンアウトが多い場合はトランシーバを追加してもよい。本実施例の場合のトランシーバは動作周波数が低いのでNRZからNRZの伝達でよい。

【0044】MC10-1からメモリチップにデータを書き込む場合（ライト動作）、以下の動作が行われる。

【0045】まず、MC10-1はR/W信号をWriteモードにし、トランシーバ3-1内のバッファ6-2をイネーブルにし、バッファ5-1をディセーブルにする。逆に、メモリモジュール2-2～2-9内のトランシーバ3-2～3-9に内蔵されているバッファ6-2をディセーブルにし、バッファ5-1をアクティブにする。このようにすることで、MC10-1から各メモリに対し書き込みの準備ができる。

【0046】バンク・RAS(Raw Address Strobe)/CAS(Column Address Strobe)アドレスを送信し書き込みが準備できた後、MC10-1はデジタル(NRZ)のデータを送出する。送出されたNRZ信号は結合器C2～C9でRTZ信号に変換され、メモリモジュール2-2～2-9内のトランシーバ3-2～3-9に伝達される。伝達されたRTZ信号はトランシーバ3-2～3-9内のそれぞれのバッファ5-1でRTZ信号からNRZ信号に復調され、バス20-2～20-9を介してメモリチップにデータが伝えられ、これをメモリに書き込むことでライト動作が完了する。

【0047】MC10-1へデータを読み込む場合（リード動作）は反対に、以下の動作が行われる。

【0048】まず、MC10-1はR/W信号をreadモードにし、トランシーバ3-1内のバッファ5-1をイネーブルにし、バッファ6-2をディセーブルにする。逆に、メモリモジュール2-2～2-4内のトランシーバ3-2～3-9に内蔵されているバッファ5-1をディセーブルにし、バッファ6-2をイネーブルにする。このようにすることで、各メモリからMC10-1に対し読み込みの準備ができる。

【0049】チップセレクト信号(CS)で選択されたメモリはバンク・RAS/CASアドレスを受信してリードデータの準備できた後、選択されたメモリから矩形波のNRZ信号が送出される。伝達されたNRZ信号はトランシーバ3-2～3-9内のそれぞれのバッファ6-2でNRZ信号のまま送出され、結合器C2～C9でRTZ信号に変換される。このRTZ信号は、メインライン1-1にMC10-1の方向に伝搬される。伝達されたRTZ信号は、トランシーバ3-1内のバッファ5

11

-1でR T Z信号からN R Z信号に復調され、MC10-1にデータが伝えられ、このデータをMC10-1が読み込むことでリード動作が完了する。

【0050】また、トランシーバ3-2～3-9はR/W信号ばかりでなくC S信号と組み合わせて生成してもよい。すなわち、リードアクセスするメモリに対してC S信号を生成するため、このリードアクセス対応メモリ以外のトランシーバをイネーブルにする必要はない。このため、リードアクセス対象のメモリあるいは当該メモリが搭載されているメモリモジュールのトランシーバの方向制御のみを行い、他はディセーブルにしておけばよい。当然、ライト時においても同様で、このようにすることで対象メモリ以外のアクセス信号が無くなるので消費電力を下げられる。

【0051】ここで、リード・ライト時に先立ちアドレスやリード・ライト状態を決めておくことは言うまでもない。

【0052】このように、メモリコントローラモジュール内にトランシーバ3-1を有し、トランシーバ3-1が方向性結合器C 2～C 9と組み合わされて低歪みで高速なデータ転送が可能となるため、MC10-1は全ての信号をN R Zで高速に送受信できる。これにより、レシーバにR T Z信号復調用の特別な回路を設ける必要がなく、N R Z信号転送用のドライバレシーバしか持たないメモリコントローラを接続できる。また、メモリコントローラをモジュール形式にすることにより、メインライン1-1に直接接続できるR T Zレシーバを有するメモリコントローラを接続することもできる。これにより、システムの構成を柔軟にできる。

【0053】また、メモリモジュール内にトランシーバ3-2～3-9を有しているので、トランシーバ3-2～3-9が方向性結合器C 2～C 9と組み合わされて低歪みでかつ高速にMC10-1とのデータ転送が可能である。更に、本実施例の構成によって、メモリチップに従来のN R Z信号のみのインターフェースを持たせるだけで、多数のチップを接続できる。更に、メモリモジュール2-2内のデータバスは一般にメインライン1-1に比べて短いので高速動作が可能であり、配線が長いメモリモジュール間は方向性結合器を用いたN R ZからR T Z信号へ変換する転送を行ない、配線の短いメモリモジュール内ではN R Z信号転送を行ない、両者を使い分けることで両者とも高速動作でき、システムとしてコストと性能を両立できる。

【0054】また、トランシーバを選択的に用いることで方向性結合器を用いたR T Z(Return To Zero)方式の信号伝送用に設計されたL S IとN R Z(None Return To Zero)用に設計されたL S Iと同じバス上に配置した場合の信号レベルの互換を取ることもできる。

【0055】このように、本実施例によれば、メモリモジュール内にメモリチップを多數搭載することができる

12

のでメモリシステムの大容量化・高密度化が可能である。

【0056】次に、第3の実施例を図5を用いて説明する。

【0057】先に述べたように、高速データ伝送において伝送速度が増すにつれて表皮効果などの周波数依存性のある効果により波形歪みが増大するという課題がある。これを克服する技術として、ドライバによって遷移時(立上り・立下がり)のパルス波形を急峻にする技術もあるがドライバの構成・制御が複雑である。このようなパルス波形の整形をドライバではなく結合器により行うことが本実施例の目的である。

【0058】図5はMC10-1とデータ信号を送受信するメモリチップ10-2～10-4とを接続するメモリバスを示している。MC10-1からのメインライン1-1と、メモリモジュール2-2に搭載されたメモリ10-2からの引き出し配線10-2とでT字型の方向性結合器T 1を構成している。T字型の方向性結合器T 1は後で説明するように遷移時の波形を急峻にする機能を有している。T字型結合器T 2, T 3も同様な機能を有している。

【0059】メモリモジュール2-2, 2-4において、T字型配線1-2, 1-3, 1-4の両端が終端されている。また、メインライン1-1は端子a 1からa 2へモジュール2-2内を分歧なしに配線されている。メインライン1-1は、端子a 2から、図5には記載されていないマザーボード上でメモリモジュール2-3の端子a 3に接続され、同様にモジュール2-3, 2-4内の各端子a 4, a 5, a 6を介して最終的に終端されている。

【0060】このT字型結合器の動作原理を図6、図7を用いて説明する。

【0061】図6は図5のライト動作の説明図であり、図7はリード動作の説明図である。

【0062】図6、7に示した白抜きの箱は伝送線路を示している。メインライン1-1に対応する配線は伝送線L 1, L 2, L 3, L 4からなり、配線1-2に対応する配線は伝送線L 5, L 6, L 7からなる。伝送線L 2とL 7が結合器C1を形成し、伝送線L 3とL 6が結合器C2を形成している。

【0063】点線で示されたT字型結合器T 1は、互いに接続された2つの結合器C 1とC 2と、これらの引き出し用の伝送線L 7を有する部分からなる。

【0064】結合器T 1の各端子は結合器の裸の(真の)電気特性を明らかにする目的で終端電源V t tに終端抵抗r t tを介して接続され、これにより各点での伝送路の反射がない。

【0065】ライト動作では、図5のMC10-1のドライバは、図6ではパルス源(v pulse)、その内部抵抗r d及びMC10-1が持つ静電容量C p 1から

13

なる等価回路として表現されている。また、図5のメモリ10-2のレシーバは、図6ではノードs5に接続された静電容量Cp5と抵抗rsで表現されている。また、リード動作では、MC10-1のレシーバは、図7ではノードd1に接続された静電容量Cp1と抵抗rdで表現され、メモリ10-2のドライバはパレス源、その内部抵抗rs及び等価容量Cp5で表現されている。

【0066】図6、7のT字型結合器の特性を明らかにするために回路シミュレーションを行った。

【0067】各点での信号波形を図8と図9に示す。

【0068】回路シミュレーションにはSPICE(Simulation Program for Integrated Circuit Emphasis)を用いた。ただし、使用したSPICEでは表皮効果が扱えないので表皮効果のない波形すなわち、波形の鈍りがない状態を模擬している。実際は表皮効果がこのシミ*

終端抵抗値	rtt = 50 [Ω]
等価入力容量	c1 = 3 [pF]
等価入力容量	c5 = 3 [pF]
終端電源電圧	vtt = 1.0 [V]
点s5の内部インピーダンス	rs = 50 [Ω]
vpulse内部インピーダンス	rd = 50 [Ω]
遷移時間	tr = 0.2 [ns]
メインライン1-1の引出し線(L1)の伝搬遅延時間	
	tpd1 = 216 [ps]
メインライン1-1の引出し線(L2)の伝搬遅延時間	
	tpd2 = 360 [ps]
T字型線路1-2の引出し線(L7)の伝搬遅延時間	
	tpd5 = 216 [ps]
メインライン1-1の線路(L1)のインピーダンス	z1 = 50 [Ω]
メインライン1-1の線路(L2)	z2 = 50 [Ω]
T字型線路1-2の引出し線(L7)	z5 = 25 [Ω]

結合器(coupler1,coupler2)のモデルパラメータは以下の通りである。※【0073】

r11=1m [Ω/m]	L11=361.3n [H/m]
r22=1m [Ω/m]	L22=361.3n [H/m]
L12=050n [H/m]	
cr1=144.5p [F/m]	
cr2=144.5p [F/m]	
c12=40.p [F/m]	

ここで、r11, r22は単位長さ当たりの配線抵抗、L11, L22は配線の単位長さ当たりの自己インダクタンス、CR1, CR2は配線の単位長さ当たりの自己キャパシタンス、L12, C12はそれぞれ単位長さ当たりの相互インダクタンスと相互キャパシタンスである。

【0074】図8においてノードd1は送信信号波形、ノードd4はメインライン1-1の終端抵抗位置での波形、s1, s4, s5はT字型結合器T1の各点の波形である。図8では、受信波形はs5の太い実線で書かれた波形であり、遷移時に急峻になる鋭い波形であることわかる。この波形を用いることにより表皮効果などの★50

14

* ュレーション結果に重畠されることになり、その結果、一般的には信号波形の肩が減衰する、あるいは鈍る。

【0069】図8は図6に対応したリード動作での各点(d1, d4, s1, s4, s5)の波形であり、図9は図7に対応したライト動作での各点(d1, d4, s1, s4, s5)の波形である。図8、及び図9はドライブ位置が異なるのみで他の回路の定数は同じである。

【0070】図8では、ドライブ位置は図6のノード(点)d1である。波形の観測点はドライブ点d1、メインライン1-1の終端点d4、rsの入力端s5と結合器の両側終端部s1, s4である。

【0071】各パラメータはそれぞれ以下の通りである。

【0072】

rtt = 50 [Ω]	
c1 = 3 [pF]	
c5 = 3 [pF]	
vtt = 1.0 [V]	
rs = 50 [Ω]	
rd = 50 [Ω]	
tr = 0.2 [ns]	
メインライン1-1の引出し線(L1)の伝搬遅延時間	
	tpd1 = 216 [ps]
メインライン1-1の引出し線(L2)の伝搬遅延時間	
	tpd2 = 360 [ps]
T字型線路1-2の引出し線(L7)の伝搬遅延時間	
	tpd5 = 216 [ps]
メインライン1-1の線路(L1)のインピーダンス	z1 = 50 [Ω]
メインライン1-1の線路(L2)	z2 = 50 [Ω]
T字型線路1-2の引出し線(L7)	z5 = 25 [Ω]

★信号波形の肩の減衰を補正できる。

40 【0075】同様に、図9は図7に対応するリード動作の波形であり、ノードs5からの送信波形はNRZの矩形波形であり、受信ノードd1の波形は図8と同様に遷移時間に急峻になる鋭い波形である。この波形を用いることにより表皮効果などの信号波形の肩の減衰を補正できる。

【0076】次に、波形が急峻にできる理由を図10、及び図11を用いて説明する。

【0077】図10(1)はライトデータの波形、例えば、図6のvpulse或いは図5のMC10-1からのNRZ信号波形を示す。この信号がメインライン1-

1を伝搬し、T 1時間後、結合器C 1とC 2の接続点(分岐点)に対応するメインライン1-1上の位置に到達するとする。この到達時刻に結合器C 1で生成される信号が図10(2)に示す波形となり、この波形は結合器C 1がMSL(Micro Strip Line)の場合、前方クロストーク(FWXT:Forward Crosstalk)として生じる。図10(2)に示す波形は、MC 10-1の出力波形の立上がり時間(Ta)と同程度のパルス幅を持つ。図10(2)のFWXTはメインライン1-1上を伝搬するパルスと併走する性質を持ち、メインライン1-1上の伝送線L 2とL 3との接続点に到達するのと同時刻に配線1-2の分岐点である伝送線L 5とL 6との接続点にクロストークとして生じる。なお、結合器がSL(Strip Line)の場合は結合係数がゼロなのでFWXTは生じない。

【0078】更に、メインライン1-1上のNRZ信号は終端に向かって伝送線L 3上を無反射で伝搬するが、この伝搬パルスが結合器C 2に後方クロストーク(BWXT: Backward Crosstalk)を生じさせる。このクロストーク波形を図10(3)に示す。このクロストーク波形は結合器C 2の配線長を往復伝搬する時間幅だけ続く。

【0079】具体的には、結合器がガラスエポキシ系プリント基板の中に構成されている場合、比誘電率はおおよそ $\epsilon_r = 4.6$ なので、結合長が30 [mm]の場合、パルスの伝搬速度を $7.15 [\mu\text{s}/\text{mm}] (= \sqrt{\text{比誘電率}} = 4.6 / \text{光速})$ を掛けると、往復の伝搬遅延時間は429 [μs]となる。

【0080】図5の配線1-2の分岐点では結合器C 1で生じた前方クロストークと結合器C 2で生じた後方クロストーク信号とが重畠される。重畠された波形を図10(4)に示す。この重畠された波形は、図5のメモリチップ10-2に伝搬する。

【0081】表皮効果は波形の肩が鈍る現象であり、この波形鈍りを打ち消すにはパルスの立上がりをオーバーシュートによって急峻にすればよく、まさに図10(4)に示す波形はその通りになっている。図10には、図5に於いてMC 10-1からチップ10-2のデータ転送に関する波形を示したが、同様にチップ10-2からMC 10-1へのデータ転送に対しても同じ波形が生成される。これを図11を用いて説明する。

【0082】図11(1)はチップ10-2からのNRZ信号を示す。この信号が配線1-2の分岐点に到達した後、結合器C 1(L 5)とC 2(L 6)の両方に進行する。その後、図10に示した波形生成プロセスが逆方向に生じる。図11(2)はMC 10-1側、即ち図7のノードd 1における電圧波形を示す。ここで、結合器C 1によって生成されたFWXTが、伝送線L 5を伝送するパルス波形と併走し、パルス振幅を増大させながら伝送線L 2を進行する。他方、結合器C 2によって生成

されたBWXTは、配線1-2の分岐点にパルスが入力したと同時刻に生成され、生成されたBWXTは伝送線L 2を進行する。このパルス幅は図10に示した時間と同じTb時間である。この結合器C 1で生成された前方クロストークと結合器C 2で生成された後方クロストークは伝送線L 2を同時刻に進行し、結果として、図11(2)に示す波形となる。図11(2)に示す波形は、MC 10-1のドライブの場合における図10(4)の波形と同じである。逆に、図7のノードd 4側の波形は図11(3)のようになる。図11(3)に示す波形は、到達時間以外は図11(2)と同じ波形である。なぜならば、メインライン1-1に生じるBWXTとFWXTは、MC 10-1とは反対に結合器C 2とC 1でそれぞれ生成されるが、そのクロストークの生成過程は同じためである。

【0083】以上のように、T字型の結合器を用いた場合、遷移時間のみエッジが急峻に立ち上がる(オーバーシュート)にも関わらず、結合器C 2のみ用いていた場合と同じパルス幅を持ち、パルス幅が太くならない。すなわち、T字型結合器を用いても表皮効果による波形鈍りを補正できると同時に結合器C 2のみ用いた場合と同じパルス幅が保たれるので高速動作を低下させることはない。

【0084】このオーバーシュート分はFWXTで生じているので、Micro Strip Lineを結合器に選ぶべきである。また、FWXTに於いても基板の構成によってはその前方クロストーク係数が正であったり負であったりするので正になるように基板の配線構造を選ぶことが重要である。

【0085】【0085】このように動作するので、図5のメモリシステムでは、MC 10-1とメモリチップ10-2～10-4との間で、T字型結合器T 1～T 3で生成されるオーバーシュートによって、表皮効果による波形鈍りを補正できるのでより高速化できる。

【0086】次に、第4の実施例を図12を用いて説明する。

【0087】本実施例の目的は、第1の実施例の高密度メモリ搭載の他に、高速データ転送に不可欠なデータ取り込みタイミング設計を簡単にすることを目的としている。

【0088】メモリコントローラ(MC) 10-1は、メモリチップ10-2～10-5に対してリード信号・ライト信号とクロック信号を送受信している。メインライン7-1はクロック信号用である。メインライン7-1と結合したT字型結合器7-2～7-5は、メモリチップ10-2～10-5にそれぞれ接続され、T字型結合器の両端は整合終端されている。

【0089】MC 10-1からクロック信号CLKoutがMC 10-1内のクロック位相に同期して出力され、メインライン7-1を通ってMC 10-1のクロッ

ク入力信号CLKinに再入力される。メインライン7-1はMC10-1の近くでその両端が終端されており、この端部での反射はほとんどない。

【0090】また、リード・ライトのデータ信号はMC10-1から出力され、スイッチ9によりライト時はwrite方向へ、リード時はRead方向に低インピーダンスで接続される。スイッチ9のwrite, read信号端子はデータ用のメインライン8-1に接続され、データ用のメインライン8-1はその両端で終端されている。クロック信号と同様に、データ信号もT字型結合器8-2～8-5によりメモリチップ10-2～10-5にそれぞれ結合されている。

【0091】ここで、図12にはCLK信号とデータ信号のみを示したが、その他の信号、例えばアドレス信号、制御信号、又はチップセレクト信号などのようにチップに対して書き込むだけの信号に対してはスイッチ9の様な切替え器は不要である。

【0092】MC10-1からデータを書き込む場合（ライト動作）、以下の動作が行われる。

【0093】まず、MC10-1はスイッチ9を制御してWrite側に切り換えておく。このようにすることで、MC10-1から各メモリに対する書き込みの準備ができる。バンク・RAS/CASアドレスを送信して書き込みが準備できた後、MC10-1はNRZのライトデータをクロックと同期して送出する。

【0094】送出されたクロックとライトデータのNRZ信号はそれぞれのT字型結合器でRTZ信号に変換され、これらRTZ信号が同位相でメモリチップ10-2～10-5に伝達されるように上記2つのメインラインが配置・配線されている。ここで、位相とはクロック信号とデータ信号の信号波形の時間差であり、同位相とは信号の到達時間差がリード／ライト動作では無視できるほど小さいことを言う。

【0095】同位相で信号を伝達する配置・配線のために、クロック信号のメインライン7-1もデータ信号のメインライン8-1も同型で折り返されており、これらの折り返された配線に対してそれぞれT字型結合器7-2～7-5と8-2～8-5とが、MC10-1に対して同じ伝搬遅延時間を持つように形成されている。

【0096】例えば、MC10-1に近いチップ10-2へは、クロック信号もデータ信号もそのデータ伝搬遅延時間は短いが、クロック信号もデータ信号もその伝搬遅延時間は同じであるため位相差は無視できる。同様に、MC10-1から最も伝搬時間が長いチップ10-3に対しても、クロック信号もデータ信号もその伝搬遅延時間は同じであるため位相差は無視できる。

【0097】メモリチップ10-2～10-5にはクロック信号とライトデータ信号とが同位相で入力されるので、メモリ10-2～10-5はクロック信号を用いてデータをラッチすることができる。これによりメモリに

データ書き込むことでライト動作が完了する。

【0098】MC10-1からデータを読み出す場合（リード動作）、以下の動作が行われる。

【0099】まず、MC10-1はR/W信号をreadモードにする。バンク・RAS/CASアドレスを送信して読み込みが準備できた後、アドレス指定されたメモリからディジタル（NRZ）のリードデータがクロック信号に同期して送出される。クロック信号は折り返されたメインライン7-1を通ってMC10-1に再入力される。リードデータ信号として、T字型結合器によりメインライン8-1にRTZ信号が伝達される。この時、T字型結合器のメインライン側には図9、及び図11で示したように両側に同じ波形が生成される。この生成されたRTZ信号はメインラインの時計回り、反時計回りの両方向に伝搬する。スイッチ9はリード側に切り換えられているのでMC10-1には時計回りのRTZ信号が伝達されることになる。この時のデータ信号とクロック信号との位相差はどのメモリチップ10-2～10-9でも同じである。

【0100】同位相になる理由として、クロック信号のメインライン7-1もデータ信号のメインライン8-1も同じように折り返されており、更に、クロック信号とデータ信号に対応するそれぞれのT字型結合器7-2～7-5と8-2～8-5とがMC10-1に対して同じ伝搬遅延時間を持つようにそれぞれのメインラインに対して配線されているためである。すなわち、メモリがMC10-1に対し到達時間が近い位置に有る場合は、リードデータも早い時刻に送信されるがメインライン8-1上の伝搬遅延時間は長くなり、結局、このメモリからのデータがMC10-1に到達する時間は、MC10-1から出力されたクロック信号が伝搬して戻ってくる時間とほぼ同じである。逆に、メモリがMC10-1に対し到達時間が遠い位置に有る場合は、リードデータも遅い時刻に送信されるがメインライン8-1上の伝搬遅延時間は短くなり、この場合も、このメモリからのデータがMC10-1に到達する時間は、クロック信号が伝搬して戻ってくる時間とほぼ同じである。つまり、メモリチップはMC10-1に対し伝搬遅延時間が近い場合も遠い場合もMC10-1に対し同時刻にリードデータは到着することになる。このため、MC10-1内では戻ってきたクロック信号CLKinを用いれば、どの位置のメモリチップからのリードデータであっても同位相でラッチすることができることになり、データタイミングに掛かる設計が大幅に容易になる。

【0101】メモリチップ10-2～10-9からのライトデータ信号はMC10-1が送信したクロック信号と同位相差でMC10-1に再入力されるので、MC10-1はクロック信号(CLKin信号)を用いてデータをラッチすることができる。これによりメモリからのデータを読み込むことでライト動作が完了する。

【0102】上記の動作を実現することが出来る大きな要因は、方向性結合器7-2～7-5あるいは8-2～8-5によりインピーダンスの乱れが無く信号を伝送できる機能と、T字型結合器により前方にも後方にも同じパルスを送出できる機能を実現しているためである。すなわち、L字型の結合器C1あるいはC2だけではこの位相を合わせることができない。

【0103】上記の2つの機能により、方向性結合器を用いた場合でも折り返し配線とリード・ライト信号切替えによってメモリシステムに於けるデータのライトリードのタイミングを揃えることで高速動作が可能になり、メモリモジュール内に方向性結合器を形成することにより高密度実装を実現でき、更に、T字型結合器を用いることで遷移時間パルスを急峻にできるので表皮効果などの波形歪みに対しても有効に高速動作が可能になる。

【0104】次に、本実施例の異なる応用例を図13を用いて示す。

【0105】図13は図12に比べて、MC10-1のデータ用の信号回路が異なる。図13では、ライトデータとリードデータ用のインターフェース回路を分けて、それぞれがドライバ及びレシーバを有する実施例を示す。図13では、ライトデータ送出用のドライバとリードデータ受信用のレシーバの内部インピーダンスはメインライン8-1の特性インピーダンスZ₀と同じであり、MC10-1の端子に於いて信号の反射波はない。図13の構成により、図12と同じようにリード・ライトデータのタイミングが揃い、パルス遷移を急峻にでき、高密度実装を実現できる上に、データ用の終端抵抗とスイッチ9を無くすことができ低価格化を実現できる。

【0106】次に、T字型結合器を用いた別の実施例を図14を用いて説明する。

【0107】本実施例が図13の実施例と異なるのは、CLK信号の変わりにストローブ信号(DQS)を用いてデータの送受信を行う点である。

【0108】DQS信号はMC10-1の内部クロック信号_uに同期してデータライト時に送出される。このDQS信号を用いて、メモリチップ10-2～10-5は、メインライン8-1に結合したT字型結合器8-2～8-5で生成されたライトデータ(DQ信号)をラッ奇する。先の実施例と同様に、DQS信号とDQ信号の伝搬位相差がどのチップ10-2～10-5でも同じであるため、上記の動作が可能である。

【0109】リードデータに対しては、各チップからのリードデータ(DQ)は結合器とメインライン8-1とを介してMC10-1に入力される。それと同時に、リードデータを送出したメモリチップからはストローブ信号(DQS)も送出される。その結果、メモリチップ10-2～10-5のMC10-1に対する遅延時間が異なるような配置に対してもリードデータ(DQ)とストローブ信号(DQS)信号の位相差が等しいので、MC

10-1ではDQS信号によりリードデータDQをラッ奇することができる。すなわち、配線を折り返さない場合でもリードデータをタイミングを揃えて取り込むことができる。

【0110】次に、方向性結合器を用いたデータ転送に好適なメモリチップの内部ブロック図を図15に示す。

【0111】図15に示すメモリチップでは、メモリブロック21にデータを格納、或いは読み出しを行うためのアドレスの指定をADD信号、RAS、CAS、CS信号で行う。データはセンサアンプから読み出されるが、リードデータはData Output Registerにバッファリングされた後、ドライバ6を介して出力される。また、ライトデータはレシーバ5を介して入力されData Input Registerにバッファリングされた後メモリブロックに格納される。

【0112】図15のレシーバは、RTZ信号をNRZ信号に変換する復調回路を有している。また、従来のNRZ信号を入力するためのレシーバも内蔵し、これをメタルオプションとして持つことにより低コストにメモリの対応インターフェースを増やすことができるというメリットがある。

【0113】データ信号(DQ)と同様にストローブ信号(DQS)に対してもレシーバにRTZ信号をNRZ信号に変換する復調回路を設けている。

【0114】他の機能ブロックは通常のSDRAM(Synchronous DRAM)と同じである。

【0115】図15に示す構成により、方向性結合器を用いた信号伝送であってもRTZ信号をNRZ信号に復調する事ができ、高速にデータ伝送が行える。

【0116】さて、図14に示したDQ信号のラッチにDQS信号を用いるメモリモジュールシステムあるいは、DDR-SDRAM(Double Data Rate Synchronous DRAM)において、ライトデータのレイテンシが長いという問題があった。この問題を図16を用いて説明する。

【0117】DDR-SDRAMで採用されているSSTL(Stub Series Terminated Logic)インターフェースでは、Hiz状態が終端電圧V_{tt}と同じであり、レシーバの基準電圧V_{ref}も終端電圧V_{tt}とほぼ同じため、HizからL状態あるいはHizからH状態への遷移の検出ができないという問題があった。

【0118】図16において、クロックCKを基準にコマンドが発行されデータが送出される。例えば、ステージ1ではライトコマンドが発行され、ステージ2ではライトデータ(DA0)が送信されている。つまり、ステージ1でストローブ信号DQSをHizの状態から一度Lに落とし、ステージ2でデータをラッ奇するためのストローブ信号をドライブしており、1サイクルwaitが入っている。

【0119】なぜなら、メモリはDQSがHizからL状

21

態への遷移を検出できず、DQSがHになって初めてDQSの遷移を識別できるようになるからである。このためにDQS遷移の認識用に1ステージ分のプリドライブすなわちwaiteが必要である。

【0120】これに対し、本発明のように方向性結合器を用いた場合、図17に示すように、コマンドと同期してデータを発行することができる。ここで、DQTxとはMCから送信されるデータ信号波形であり、DQRxとは方向性結合器によりRTZ信号に変換されメモリチップの入力レシーバに入力されるデータ信号波形である。同様に、ストローブに対してはDQSTx、DQS RxはそれぞれMCの出力信号とメモリチップの入力信号である。

【0121】図17から分かるように、MCからはライトコマンドとデータであるDQTxが同時に発行されている。DQSTxもステージ1でドライブされている。図17の場合、DQSTx信号はHzの中間値から立ち下がっており、この点は図16と同じであるが、メモリチップ側ではDQSRxではHzから立上りパルスが生じている。すなわち、DQSTxがHzからLへの変化するとDQSRx信号にパルスが生じ、このパルスをメモリチップでは識別できるのである。これにより、DQSにpre-driveが必要でなくなりwriteコマンドとwriteデータを同時に発行できる。このためメモリライトのアクセスレイテンシを1ステージ分短くすることができる。その結果、システムとしてはメモリアクセスのレイテンシが向上するためシステム性能が向上する。

[0122]

【発明の効果】方向性結合器をメモリモジュール内に形成したことで、マザーボード上のメモリモジュール間隔を方向性結合器の長さとは無関係に縮めることができるので高速動作を確保したまま高密度実装できる。

【0123】更に、図4のように、方向性結合器を介してトランシーバ3-2～3-9をバス接続する場合でも、配線20-2～20-9は信号振幅の大きなNRZ信号に復調されているので、多数接続された各メモリチップに高速にデータを書き込める。リード動作の場合も逆に成り立つ。このように、トランシーバを介することで1信号当たりの接続メモリチップ個数を増大させる多バンク構成が可能であり、高速性を維持したまま更なる大容量化が図れる。

【0124】また、図5に示したようにT字型結合器を用いることで、波形が急峻になり表皮効果に対して補償する効果がある。このため、高速動作が可能となる。

【0125】また、図12、図13、図14のように、複数のメモリに対するメモリコントローラからのクロック信号とデータ信号の配線を折り返し、クロック信号を再入力することで、リードデータとライトデータに時間差を無くすことができる。このことによりシステム設計に非常に容易になる。

22

【図面の簡単な説明】

【図1】第1の実施例を説明する図である。

【図2】第1の実施例の基板構成図である。

【図3】従来の方式である。

【図4】第2の実施例の多バンク型メモリモジュールを高密度で実装する方式である。

【図5】第3の実施例の表皮効果などの波形鈍りを補償するT字型方向性結合器を用いたメモリモジュールバスである。

23

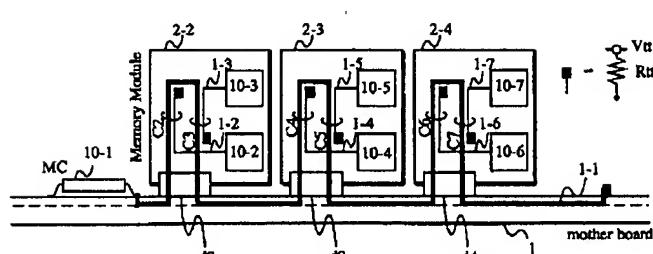
8, 8-1 データ信号
 9 リードライン
 イト切替えスイッチ
 10 システムチップセット

24

10-1 メモリコントローラ(部)
 10-2~10-7 データ転送を行う半導体素子(メモリ)
 20-2~20-9 モジュール内データバス

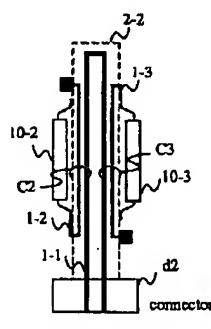
【図1】

図1



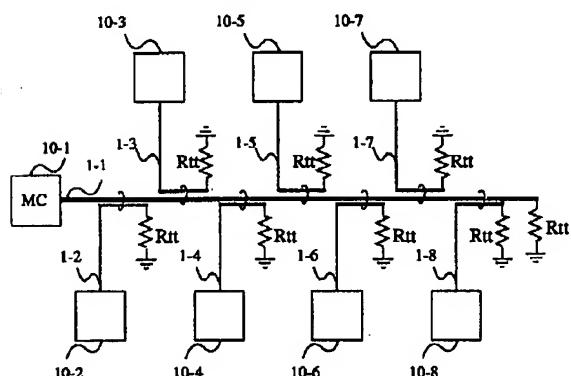
【図2】

図2

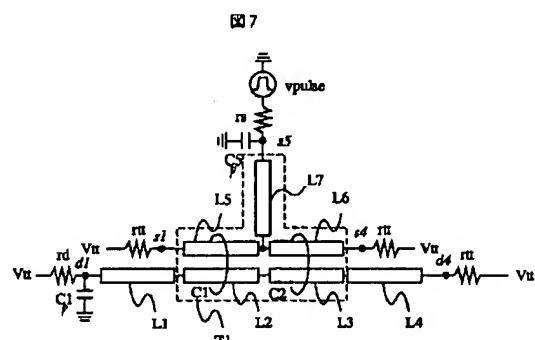


【図3】

図3

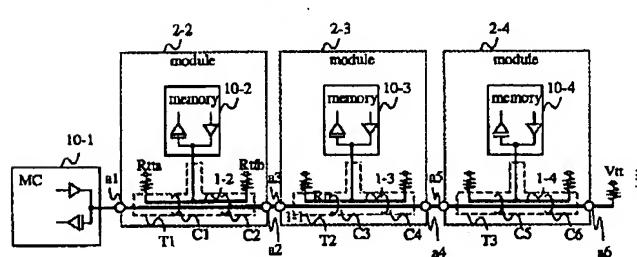


【図7】



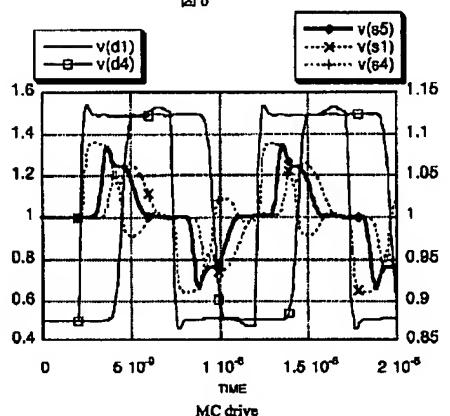
【図5】

図5



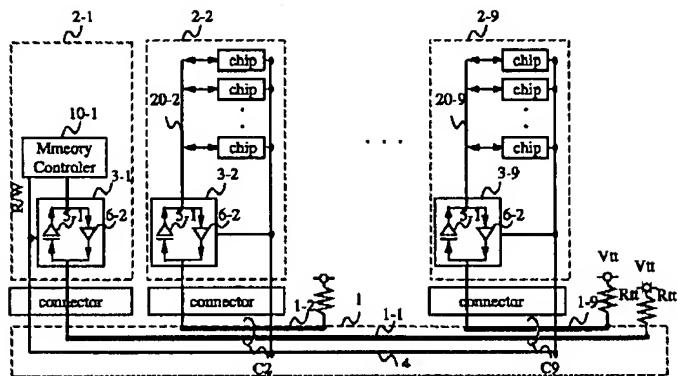
【図8】

図8



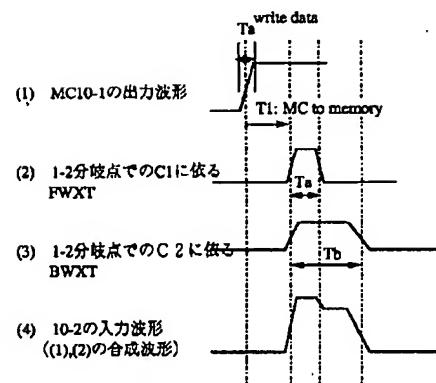
【図4】

図4



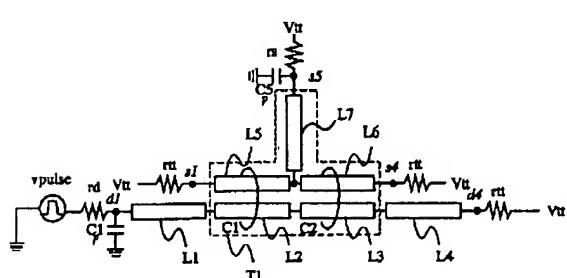
【図10】

図10



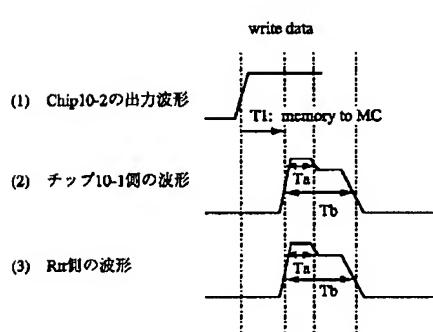
【図6】

図6



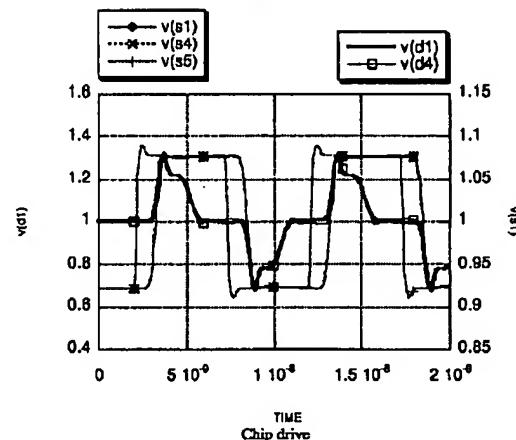
【図11】

図11



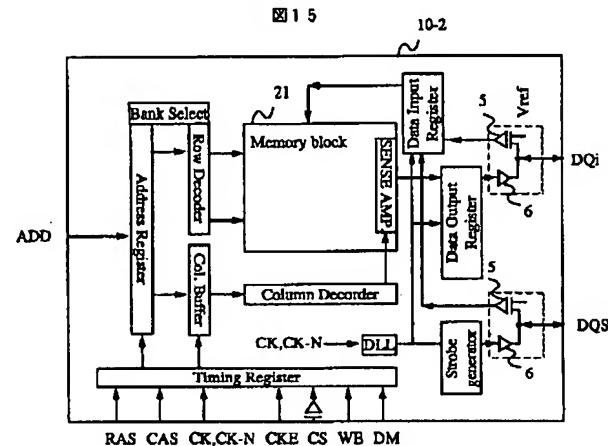
【図9】

図9



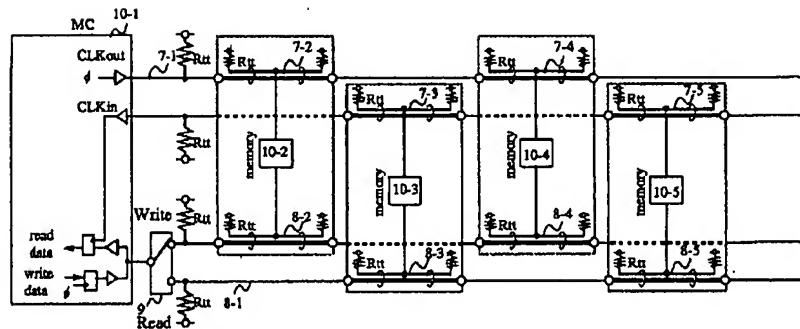
【図15】

図15



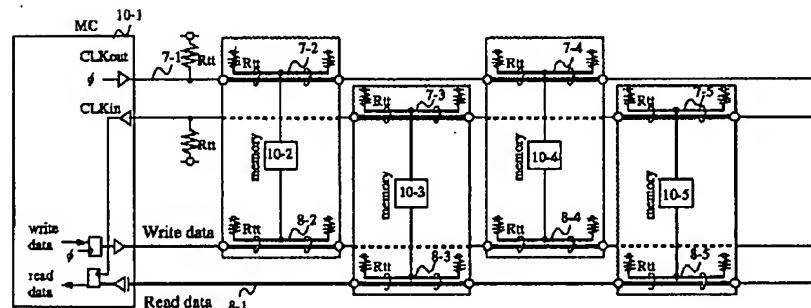
【図12】

図12



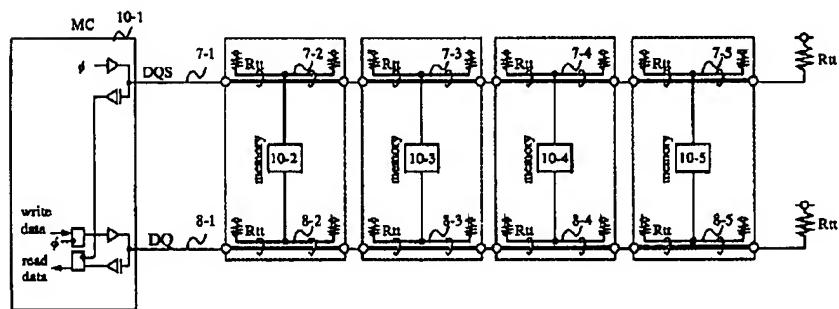
【図13】

図13



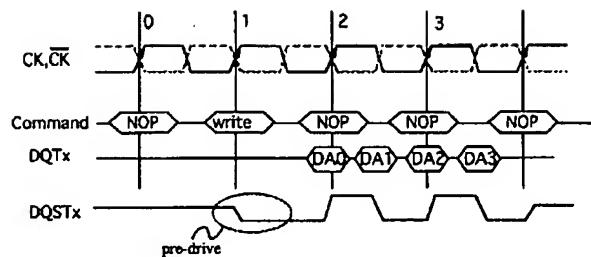
【図14】

図14



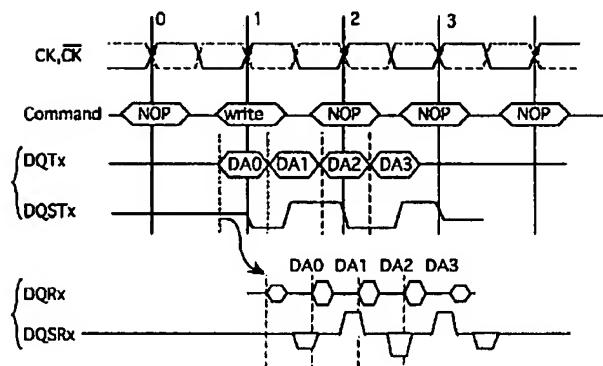
【図16】

図16



【図17】

図17



フロントページの続き

(51) Int.Cl.⁷
H 01 P 5/18

識別記号

F I
G 11 C 11/34

マーク(参考)

362Z

(72) 発明者 常広 隆司
神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内
(72) 発明者 木村 光一
神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(72) 発明者 波多野 進
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
(72) 発明者 伊藤 和弥
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
(72) 発明者 管野 利夫
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内